

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-341376

(43)Date of publication of application : 10.12.1999

(51)Int.Cl.

H04N 5/44

H04N 5/455

(21)Application number : 10-142397

(71)Applicant : SHARP CORP

(22)Date of filing : 25.05.1998

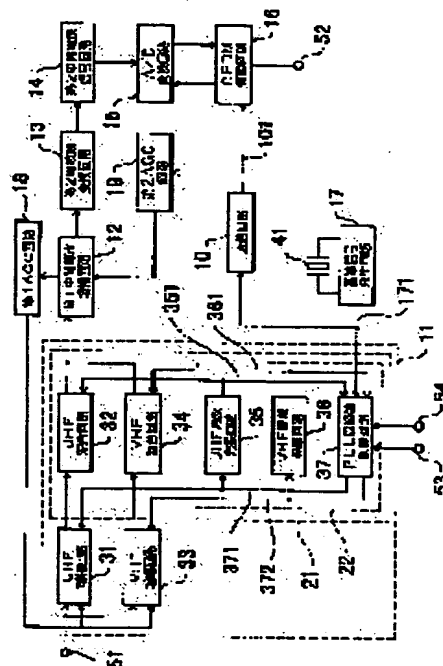
(72)Inventor : KITaura KAZUO

## (54) DIGITAL BROADCASTING RECEIVER

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To reduce component costs by eliminating the need for a crystal oscillator element that is for producing a reference clock of an OFDM (orthogonal frequency division multiplexing) demodulator circuit.

**SOLUTION:** This receiver is provided with a PLL synthesizer 22 which produces a local oscillation signal, a reference signal generation circuit 17 which transmits a reference signal 171 to the synthesizer 22, an A/D conversion circuit 15 which performs A/D conversion of a 2nd intermediate frequency signal which is obtained by performing frequency conversion of a 1st intermediate frequency signal, an OFDM demodulator circuit 16 which demodulates transmitted digital data based on a digital signal transmitted from the circuit 15, and a multiplying circuit 10 which produces a reference clock 101 of the circuit 106 by multiplying the signal 171.



## LEGAL STATUS

[Date of request for examination] 26.01.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3373431

[Date of registration] 22.11.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

**THIS PAGE BLANK (USPTO)**



【特許請求の範囲】

【請求項1】 OFDM方式で変調されたデジタル放送を受信するデジタル放送受信装置において、受信した電波を第1中間周波信号に変換する周波数変換回路内に設けられ、局部発振信号を生成するPLLシンセサイザと、前記PLLシンセサイザに基準信号を送出する基準信号発生回路と、第1中間周波信号を周波数変換することにより得られた第2中間周波信号をA/D変換するA/D変換回路と、前記A/D変換回路より送出されるデジタル信号に基づいて、送信されたデジタルデータを復調するOFDM復調回路と、前記基準信号を逡倍することにより、OFDM復調回路の基準クロックを生成する逡倍回路とを備えたことを特徴とするデジタル放送受信装置。

【請求項2】 前記逡倍回路は、コイルとコンデンサとからなる共振回路により発振周波数が決定される電圧制御発振回路を備え、前記基準信号を分周した分周信号と、電圧制御発振回路の出力を分周した分周信号との位相比較結果に基づいて、電圧制御発振回路の発振周波数を制御すると共に、電圧制御発振回路の出力を前記基準クロックとしたことを特徴とする請求項1記載のデジタル放送受信装置。

【請求項3】 前記電波が、デジタル変調されたテレビジョン信号であることを特徴とする請求項1または請求項2記載のデジタル放送受信装置。

【請求項4】 前記電波が、地上波のテレビジョン信号であることを特徴とする請求項3記載のデジタル放送受信装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、OFDM方式で変調されたデジタル放送を受信するデジタル放送受信装置に関するものである。

【0002】

【従来の技術】アナログ方式のテレビ放送に比べ、同じ周波数帯域を用いて多くのテレビ番組を送信することが可能となるデジタル方式のテレビ放送の1つに、地上波を用いたテレビ放送がある。また、この地上波のテレビ放送の方式の1つに、アナログの映像信号と音声信号とをデジタル化すると共に圧縮し、圧縮したデジタル信号を、Orthogonal Frequency Division Multiplexing方式（以下、OFDM方式と称する）でデジタル変調して送信する方式がある。

【0003】図3は、このOFDM方式でデジタル変調されたテレビ放送を受信するための従来技術を示している。すなわち、アンテナからの信号が導かれる端子51が接続されたチューナ回路11は、UHF帯域またはV

HF帯域のテレビジョン信号の増幅と周波数変換とを行うことにより、第1中間周波信号を生成する。また、第1中間周波信号は、第1中間周波増幅回路12によって増幅された後、第2周波数変換回路13において第2中間周波信号に変換される。そして、第2中間周波信号は、第2中間周波信号回路14を介してA/D変換回路15に導かれ、デジタル信号に変換される。A/D変換回路15から出力されるデジタル信号は、OFDM復調回路16において復調処理されると共にエラー訂正される。その結果得られたデジタルデータは、トランスポートストリームデータとして、端子52より送出される。なお、端子52より送出されたトランスポートストリームデータは、MPEG復調処理により、映像信号と音声信号とに変換される（これを第1の従来技術とする）。

【0004】また、復調信号を得るための復調手段としてデジタル信号処理回路を用いた従来技術として、特開平1-245720号公報のものが提案されている。この従来技術では、デジタル信号処理回路の動作クロックと基準周波数信号との周波数比を整数比としている。また、動作クロックと基準周波数信号とを位相同期させた構成としている。そのため、動作クロックと基準周波数信号との間のビートが減少して、S/N比の悪化や受信感度の低下が抑制されることになる（これを第2の従来技術とする）。

【0005】

【発明が解決しようとする課題】しかしながら上記技術を用いた場合には、以下に示す問題が生じていた。すなわち、第1の従来技術では、チューナ回路11の局部発振回路の構成がPLLシンセサイザ22となっているため、PLLシンセサイザ22に基準信号を送出する基準信号発生回路17が設けられている。また、基準信号発生回路17の発振素子には、発振周波数の精度と安定度とを満たすため、水晶発振素子41が用いられている。また、OFDM復調回路16は動作の基準となる基準クロックを必要とするため、OFDM復調回路16に基準クロックを供給する基準クロック発生回路91が設けられている。また、基準クロック発生回路91の発振素子には、発振周波数の精度と安定度とを満たすため、水晶発振素子92が用いられている。つまり、基準信号発生回路17と基準クロック発生回路91とのそれぞれに、部品価格が極めて高価な水晶発振素子を設けた構成となっているため、装置の部品原価の上昇を招くとともに、実装面積が増大するといった問題があった。また、OFDM復調回路16の基準クロックが第1中間周波信号の周波数に近い周波数であるため、輻射妨害が問題となっていた。

【0006】また、第2の従来技術では、基準周波数信号に位相同期した動作クロックを得るための手段に、分周回路を用いている。そのため、OFDM復調回路が要求する高い周波数（40MHz）の動作クロックを生成

しようとする場合には、分周回路に供給する基準周波数信号の周波数を、40MHzの整数倍の周波数に設定する必要がある。このように高い周波数を生成するために用いる水晶発振素子は、価格が極めて高価となる。従って、部品原価の低減の観点からすれば、第2の従来技術を適用することは好ましくない。

【0007】本発明に係る問題点を解決すべく創案されたもので、請求項1記載の発明の目的は、局部発振回路のための基準信号を通信することにより得られた信号を、OFDM復調回路の基準クロックとして用いることによって、OFDM復調回路の基準クロックを生成するための水晶発振素子を不要とすることにより、部品原価の低減、実装面積の縮小、輻射妨害の回避を可能としたデジタル放送受信装置を提供することにある。

【0008】また請求項2記載の発明の目的は、上記目的に加え、LC発振回路を電圧制御発振回路に用いたPLLシンセサイザによって通信を行うことにより、通信回路の部品原価を低減することのできるデジタル放送受信装置を提供することにある。

【0009】また請求項3記載の発明の目的は、上記目的に加え、部品原価が安価な構成でもって、デジタル変調されたテレビジョン信号から、映像信号と音声信号とを示すデジタルデータを再生することのできるデジタル放送受信装置を提供することにある。

【0010】また請求項4記載の発明の目的は、上記目的に加え、部品原価が安価な構成でもって、デジタル変調された地上波テレビジョン信号から、映像信号と音声信号とを示すデジタルデータを再生することのできるデジタル放送受信装置を提供することにある。

【0011】

【課題を解決するための手段】上記課題を解決するため、本発明の請求項1記載のデジタル放送受信装置は、OFDM方式で変調されたデジタル放送を受信するデジタル放送受信装置において、受信した電波を第1中間周波信号に変換する周波数変換回路内に設けられ、局部発振信号を生成するPLLシンセサイザと、前記PLLシンセサイザに基準信号を送出する基準信号発生回路と、第1中間周波信号を周波数変換することにより得られた第2中間周波信号をA/D変換するA/D変換回路と、前記A/D変換回路より送出されるデジタル信号に基づいて、送信されたデジタルデータを復調するOFDM復調回路と、前記基準信号を通信することにより、OFDM復調回路の基準クロックを生成する通信回路とを備えた構成としている。すなわち、通信回路は、基準信号を通信することにより、基準クロックを生成するので、基準クロックの周波数精度と安定度とは、基準信号の周波数精度と安定度とに対応することになる。従って、OFDM復調回路は、水晶発振素子を用いた専用の発振回路から基準クロックを供給されるときと同一の動作を行うことになる。

【0012】また、本発明の請求項2記載のデジタル放送受信装置は、上記構成に加え、前記通信回路を、コイルとコンデンサとからなる共振回路により発振周波数が決定される電圧制御発振回路を備えた構成とし、前記基準信号を分周した分周信号と、電圧制御発振回路の出力を分周した分周信号との位相比較結果に基づいて、電圧制御発振回路の発振周波数を制御すると共に、電圧制御発振回路の出力を前記基準クロックとした構成としている。すなわち、電圧制御発振回路の発振素子となるコイルとコンデンサとは、安価な素子である。従って、電圧制御発振回路は安価な部品のみにより構成される。その結果、通信回路も安価な素子のみにより構成されることになる。

【0013】また、本発明の請求項3記載のデジタル放送受信装置は、上記構成に加え、デジタル変調されたテレビジョン信号の電波を受信する構成としている。そのため、部品原価が安価な構成でもって、デジタル変調されたテレビジョン信号から、映像信号と音声信号とを示すデジタルデータが再生されることになる。

【0014】また、本発明の請求項4記載のデジタル放送受信装置は、上記構成に加え、地上波のテレビジョン信号を受信する構成としている。そのため、部品原価が安価な構成でもって、デジタル変調された地上波テレビジョン信号から、映像信号と音声信号とを示すデジタルデータが再生されることになる。

【0015】

【発明の実施の形態】以下、本発明の実施の形態について、図面を参照して説明する。

【0016】図1は、本発明に係るデジタル放送受信装置の一実施の形態の電氣的構成を示すブロック線図であり、デジタル変調された地上波テレビジョン信号を受信する受信装置を示している。なお、図3に示す従来技術と構成が同一となるブロックには、図3における符号と同一符号を付与している。

【0017】図において、チューナ回路11は、端子51を介して導かれたUHF帯域またはVHF帯域のテレビジョン信号の増幅と周波数変換とを行うことにより、第1中間周波信号を生成するブロックとなっている。そのため、UHF帯域の信号を増幅するUHF増幅回路31と、VHF帯域の信号を増幅するVHF増幅回路33と、UHF増幅回路31により増幅された信号またはVHF増幅回路33により増幅された信号を第1中間周波信号に変換する周波数変換回路21とを備えている。

【0018】また、周波数変換回路21は、UHF増幅回路31により増幅された信号を第1中間周波信号に変換するUHF混合回路32と、VHF増幅回路33により増幅された信号を第1中間周波信号に変換するVHF混合回路34と、UHF混合回路32に局部発振信号を供給するUHF局部発振回路35と、VHF混合回路34に局部発振信号を供給するVHF局部発振回路36

と、UHF 局部発振回路 35 および VHF 局部発振回路 36 の発振周波数を制御する PLL 周波数制御回路 37 とを備えている。

【0019】PLL 周波数制御回路 37 は、端子 53、54 を介して導かれた受信チャンネルを指示する入力に対応して、局部発振信号の信号を制御する。すなわち、UHF 帯域の受信を行う場合には、UHF 局部発振回路 35 から送出される局部発振信号 351 を分周した信号と、基準信号発生回路 17 から送出される基準信号 171 を分周した信号との位相比較を行う。そして、位相比較の結果に基づく制御信号 371 を UHF 局部発振回路 35 に送出することにより、UHF 局部発振回路 35 の発振周波数を、受信チャンネルに対応した周波数に設定する。また、UHF 増幅回路 31 の受信周波数を、受信チャンネルの周波数に設定する。

【0020】また、VHF 帯域の受信を行う場合には、VHF 局部発振回路 36 から送出される局部発振信号 361 を分周した信号と、基準信号 171 を分周した信号との位相比較を行う。そして、位相比較の結果に基づく制御信号 372 を VHF 局部発振回路 36 に送出することにより、VHF 局部発振回路 36 の発振信号を、受信チャンネルに対応した周波数に設定する。また、VHF 増幅回路 33 の受信周波数を、受信チャンネルの周波数に設定する。

【0021】なお、上記説明から明らかなように、UHF 局部発振回路 35、VHF 局部発振回路 36、および PLL 周波数制御回路 37 からなるブロック 22 は、請求項記載の PLL シンセサイザとなっている。

【0022】基準信号発生回路 17 は、水晶発振素子 41 を用いて生成した基準信号 171 を PLL シンセサイザ 22 に供給するブロックとなっている。なお、水晶発振素子 41 には、振動周波数が 4MHz の素子が用いられている。そのため、基準信号 171 の周波数も 4MHz となっている。

【0023】第 1 中間周波増幅回路 12 は、所定帯域の信号のみを通過させるバンドパスフィルタと、増幅率を変化させることが可能な増幅器とにより構成されたブロックとなっていて、チューナ回路 11 から送出される第 1 中間周波信号の帯域制限と増幅とを行う。

【0024】第 2 周波数変換回路 13 は、局部発振回路と、局部発振回路の出力と第 1 中間周波信号とが導かれた混合回路とにより構成されたブロックとなっており、第 1 中間周波増幅回路 12 によって増幅された第 1 中間周波信号を、第 2 中間周波信号に周波数変換する。

【0025】第 2 中間周波信号回路 14 は、狭帯域のフィルタのみを備えたブロックとなっていて、増幅器を備えていない。そのため、第 2 中間周波信号回路 14 は、第 2 周波数変換回路 13 から出力される第 2 中間周波信号の帯域制限のみを行い、帯域制限した第 2 中間周波信号を A/D 変換回路 15 に送出する。

【0026】A/D 変換回路 15 は、OFDM 復調回路 16 から供給されるサンプリングクロックに従ったタイミングでもって、第 2 中間周波信号をサンプリングするブロックとなっている。そして、サンプリングにより得られたデジタル信号を、OFDM 復調回路 16 に送出する。

【0027】OFDM 復調回路 16 は、A/D 変換回路 15 から出力されるデジタル信号の OFDM 復調を行うブロックとなっている。また、OFDM 復調を行うことにより得られたデータに対して、エラー訂正を行う。そして、エラー訂正が終了したデジタルデータを、トランスポートストリームデータとして、端子 52 より送出する。

【0028】また、OFDM 復調回路 16 は、基準クロック 101 を分周することにより得られたサンプリングクロックを A/D 変換回路 15 に送出する。かつ、A/D 変換回路 15 から送出されるデジタル信号に基づいて、第 2 中間周波信号のレベルを検出し、検出結果を第 2 AGC 回路 19 に送出する。なお、端子 52 より送出されたトランスポートストリームデータは、図示されない復調回路に導かれて MPEG 復調処理され、映像信号および音声信号に変換される。

【0029】第 1 AGC 回路 18 は、第 1 中間周波増幅回路 12 内の所定箇所の信号レベルを検出すると共に、検出結果に対応した AGC 信号を生成するブロックとなっている。そして、生成した AGC 信号でもって、UHF 増幅回路 31 と VHF 増幅回路 33 との増幅率を制御することにより、第 1 中間周波信号のレベルを一定化する。

【0030】第 2 AGC 回路 19 は、OFDM 復調回路 16 から送出される検出出力に従って AGC 信号を生成するブロックとなっている。そして、生成した AGC 信号でもって第 1 中間周波増幅回路 12 の増幅率を制御することにより、A/D 変換回路 15 に導かれる第 2 中間周波信号のレベルを一定化する。

【0031】逓倍回路 10 は、4MHz の基準信号 171 を 10 逓倍することにより得られた 40MHz の基準クロック 101 を、OFDM 復調回路 16 に供給するブロックとなっている。詳細には、図 2 に示すように、2 つの分周回路 61、62、位相比較回路 63、チャージポンプ 64、ループフィルタ 65、および電圧制御発振回路 66 を備えており、PLL シンセサイザとして公知の構成となっている。

【0032】図 2 を参照しつつ、逓倍回路 10 の詳細な構成を説明すると、分周回路 61 は、4MHz の基準信号 171 を分周することにより、比較の基準となる信号を生成するブロックとなっている。また、分周回路 62 は、電圧制御発振回路 66 の出力を分周することにより、位相比較の対象となる信号を生成するブロックとなっている。従って、分周回路 61 の分周比と分周回路 6

2の分周比とは、1対10となっている。

【0033】位相比較回路63は、分周回路61の出力と分周回路62の出力との位相比較を行うブロックとなっていて、位相の比較結果に対応したパルスを生成し、出力する。また、チャージポンプ64は、位相比較回路63から送出されるパルスに従って、電流の吸い込みと吐き出しを行うブロックとなっている。また、ループフィルタ65は、チャージポンプ64の動作により生じる高周波成分を除去するブロックとなっている。

【0034】電圧制御発振回路66は、素子価格を安価とするため、LC共振を用いたVCOとなっている。すなわち、2つコンデンサC1、C2と、バリキャップダイオードD1との合成容量と、コイルL1のインダクタンスとにより定まる発振周波数が、40MHzに設定されたVCOとなっている。なお、抵抗R1は、ループフィルタ65の出力をバリキャップダイオードD1に印加するための素子であり、コンデンサC3は、抵抗R1から漏れだす高周波成分を除去するための素子となっている。

【0035】なお、フェーズロック状態における発振周波数が40MHzと一定となるため、発振周波数の変化範囲が狭くてよいことから、発振回路71の構成には、FMノイズ成分が極めて微小となり、信号純度の高い発振出力を得ることのできるクラブ回路が用いられている。

【0036】通倍回路10は、このような構成となっている。そのため、基準クロック101の周波数は、基準信号171の周波数である4MHzを10通倍した40MHzになると共に、周波数精度と安定度も、基準信号171の精度に準じた高い精度となる。また、基準クロック101の信号純度については、電圧制御発振回路66に水晶発振素子が使用されていないにも関わらず、FMノイズ成分の少ない、極めて信号純度の高い信号となっている。

【0037】次に、上記構成からなるデジタル放送受信装置の動作を説明する。基準信号発生回路17は、水晶発振素子41を用いて発生した基準信号（周波数精度と安定度とが高く、かつ信号純度の高い基準信号）171を、PLL周波数制御回路37と通倍回路10とに送出する。また、通倍回路10は、既に説明したように、基準信号171を10通倍することにより得られた40MHzの基準クロック（周波数精度と安定度とが基準信号171の精度に準じると共に、FMノイズ成分が極めて少ない、信号純度の高い40MHzの基準クロック）101を生成し、OFDM復調回路16に送出する。

【0038】従って、OFDM復調回路16は、水晶発振素子を用いた発振回路から直接基準クロック101を供給されていたときと同一の動作を行うことが可能となる。また、OFDM復調回路16は、基準クロック101を分周することにより生成したサンプリングクロック

をA/D変換回路15に供給する。

【0039】一方、チューナ回路11は、端子53、54からの入力に従ったチャンネルの電波を受信し、受信した電波を第1中間周波信号に変換する。この第1中間周波信号は、第1中間周波増幅回路12によって増幅された後、第2周波数変換回路13において第2中間周波信号に変換される。そして、第2中間周波信号は、第2中間周波信号回路14によって帯域制限された後、A/D変換回路15に与えられる。

【0040】第2中間周波信号が与えられたA/D変換回路15は、サンプリングクロックに従ったタイミングでサンプリングすることにより、第2中間周波信号をデジタル信号に変換する。そして、変換したデジタル信号をOFDM復調回路16に送出する。また、OFDM復調回路16は、A/D変換回路15から送出されるデジタル信号をOFDM復調すると共に、復調により得られたデータのエラー訂正を行う。そして、エラー訂正の終了したデータを、映像信号と音声信号とを示す圧縮されたデジタルデータ（トランスポートストリームデータ）として、端子52から送出する。

【0041】なお、本発明は上記実施の形態に限定されず、請求項1および2記載の発明については、音声信号のみを示すデジタル放送の受信装置にも適用することが可能となっている。

【0042】また、通倍回路10の通倍の倍率については、基準クロック101の周波数が基準信号171の周波数の10倍となっているため、通倍の倍率を10倍としたが、基準信号171の周波数と基準クロック101の周波数との関係が異なる場合には、この異なる関係に対応した倍率とすることが可能である。例えば、基準信号171の周波数と基準クロック101の周波数との関係が、N対Mとなる場合には（NとMとは整数）、通倍の倍率は、M/N倍となる。

【0043】また、基準信号発生回路17とPLL周波数制御回路37と通倍回路10（コイルL1、コンデンサC1、C2、C3、抵抗R1、バリキャップダイオードD1を除く）とを、1つのICに集積する場合には、プリント配線基板における実装面積が縮小されるので、装置を小型化することが可能である。

【0044】

【発明の効果】本発明の請求項1記載のデジタル放送受信装置は、受信した電波を第1中間周波信号に変換する周波数変換回路内に設けられ、局部発振信号を生成するPLLシンセサイザと、PLLシンセサイザに基準信号を送出する基準信号発生回路と、第1中間周波信号を周波数変換することにより得られた第2中間周波信号をA/D変換するA/D変換回路と、A/D変換回路より送出されるデジタル信号に基づいて、送信されたデジタルデータを復調するOFDM復調回路と、基準信号を通倍することによりOFDM復調回路の基準クロックを生成

する通倍回路とを備えた構成としている。すなわち、通倍回路は、基準信号を通倍することによって基準クロックを生成するので、基準クロックの周波数精度と安定度とは、基準信号の周波数精度と安定度とに対応することになる。従って、OFDM復調回路は、所定動作を支障なく実行可能となるので、OFDM復調回路の基準クロックを生成するための専用の水晶発振素子が不要となる。つまり、PLLシンセサイザとOFDM復調回路とにそれぞれ個別に水晶発振素子を設ける必要がなく、1つの水晶発振素子を共用できるので、部品原価をその分低減することができる。かつ、回路の実装面積も縮小することができる。かつ、輻射による妨害も回避することができる。

【0045】また、本発明の請求項2記載のデジタル放送受信装置は、上記構成に加え、通倍回路を、コイルとコンデンサとからなる共振回路により発振周波数が決定される電圧制御発振回路を備えた構成とし、基準信号を分周した分周信号と、電圧制御発振回路の出力を分周した分周信号との位相比較結果に基づいて、電圧制御発振回路の発振周波数を制御すると共に、電圧制御発振回路の出力を前記基準クロックとした構成としている。すなわち、電圧制御発振回路の発振素子を構成するコイルとコンデンサとは、安価な素子であるので、電圧制御発振回路は安価な部品のみにより構成される。その結果、通倍回路も安価な素子のみにより構成されることになるので、通倍回路の部品原価を安価とすることができる。

【0046】また、本発明の請求項3記載のデジタル放送受信装置は、上記構成に加え、デジタル変調されたテレビジョン信号の電波を受信する構成としている。そのため、部品原価が安価な構成でもって、デジタル変調さ

れたテレビジョン信号から、映像信号と音声信号とを示すデジタルデータを再生することができる。

【0047】また、本発明の請求項4記載のデジタル放送受信装置は、上記構成に加え、地上波のテレビジョン信号を受信する構成としている。そのため、部品原価が安価な構成でもって、デジタル変調された地上波テレビジョン信号から、映像信号と音声信号とを示すデジタルデータを再生することができる。

#### 【図面の簡単な説明】

【図1】本発明に係るデジタル放送受信装置の一実施の形態の電氣的構成を示すブロック線図である。

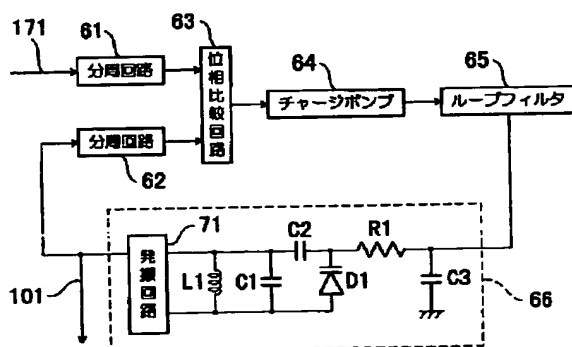
【図2】通倍回路の詳細な電氣的構成を示すブロック線図である。

【図3】従来技術の電氣的構成を示すブロック線図である。

#### 【符号の説明】

- 10 通倍回路
- 11 チューナ回路
- 15 A/D変換回路
- 16 OFDM復調回路
- 17 基準信号発生回路
- 21 周波数変換回路
- 22 PLLシンセサイザ
- 66 電圧制御発振回路
- 101 基準クロック
- 171 基準信号
- C1 共振回路を構成するコンデンサ
- L1 共振回路を構成するコイル

【図2】







【図3】

